

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001094041 A**(43) Date of publication of application: **06.04.01**

(51) Int. Cl.

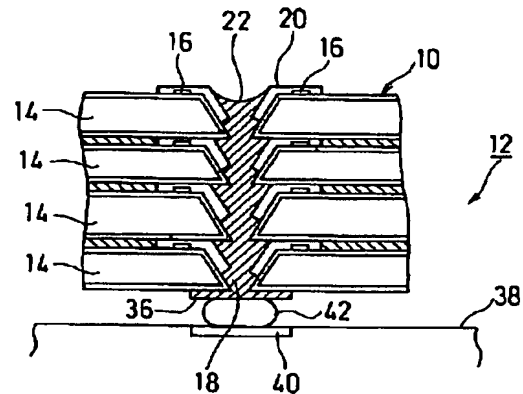
**H01L 25/065****H01L 25/07****H01L 25/18**(21) Application number: **11269392**(22) Date of filing: **22.09.99**(71) Applicant: **SEIKO EPSON CORP**(72) Inventor: **KUROSAWA RYUICHI  
UMETSU KAZUNARI**(54) **MULTI-CHIP PACKAGE, SEMICONDUCTOR  
DEVICE AND ELECTRONIC APPARATUS, AND  
METHOD FOR MANUFACTURING THEM**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To effectively realize jointing work for forming a multi-chip package of lamination by surely realizing electrical connection between electrodes of laminated semiconductor chips and electric continuity means set in a through-hole for interlayer connection.

**SOLUTION:** Through-holes are installed, which penetrate an electrode pad part common to laminated semiconductor chips and are arranged in a straight line. A metallized layer is formed, which is arranged in a through-hole aperture part of each chip and are electrically continuous with the chip electrode pad. A pillar type conductive shaft, which is formed of fused solder and electrically continuous to the metallized layer, is embedded in the through-hole arranged in a line, and electrical continuity between the laminated chips is obtained.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94041

(P2001-94041A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テラコート<sup>®</sup> (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平11-269392

(22) 出願日 平成11年9月22日 (1999.9.22)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 黒沢 龍一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 梅津 一成

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

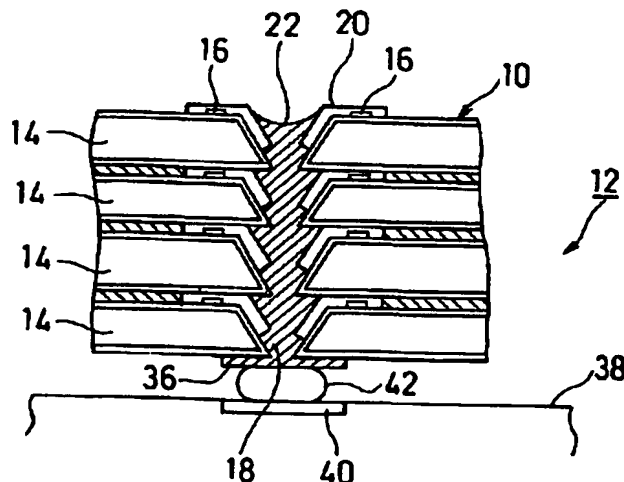
弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 マルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法

(57) 【要約】

【課題】 積層される半導体チップの電極と層間接続をなすスルーホールに設定される導通手段との電気的接続を確実に実現し、積層してマルチチップ化する場合の接合作業を効率よく実現する。

【解決手段】 積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを設ける。各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を形成し、一直線上に配列されたスルーホール内には溶解ハンダにより形成前記メタライズ層と導通された柱状導電シヤフトを埋め込んで積層チップ間の導通をとる。



**【特許請求の範囲】**

【請求項1】 積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成され前記メタライズ層と導通された柱状導電シャフトを埋め込んでなることを特徴とするマルチチップパッケージ。

【請求項2】 積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成され前記メタライズ層と導通された柱状導電シャフトを埋め込んでなるマルチチップパッケージを備え、このマルチチップパッケージを前記半導体チップにおける電極パッドと同一の配列パターンにて形成された外部電極を有するマザーボードに実装してなることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載のマルチパッケージまたは半導体装置を備えたことを特徴とする電子機器。

【請求項4】 信号入出力用の電極パッドを有する半導体チップに前記電極パッド部分にてチップを貫通するスルーホールを形成した後、このスルーホールの開口部に前記電極パッドと導通されるメタライズ層を延設形成した後、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを前記スルーホールが一直線上に配列するように複数枚積層し、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成することを特徴とするマルチチップパッケージの製造方法。

【請求項5】 前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板に異方性エッチングを施すことにより断面V字状の開口を形成し、基板裏面をラッピングすることにより形成されてなることを特徴とする請求項4に記載のマルチチップパッケージの製造方法。

【請求項6】 前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板表裏面に形成することにより連通形成してなることを特徴とする請求項4に記載のマルチチップパッケージの製造方法。

【請求項7】 信号入出力用の電極パッドを有する半導体チップに対し、前記電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板表裏面に形

成することにより連通形成されたスルーホールを形成した後、当該スルーホールの電極パッド側開口部に前記電極パッドと導通されるメタライズ層を延設形成し、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを複数積層するとともに、前記ハンダボールにより前記スルーホールが一直線上に配列するようにセルフアライメントを行わせ、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成することを特徴とするマルチチップパッケージの製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明はマルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法に関する。

**【0002】**

【従来の技術】近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)とすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものとがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを三次元的に積層したスタックドMCPの開発が盛んに行われている。

【0003】この種のパッケージ構造としては、特許第2870530号公報に開示されているように、半導体チップをインターポーザに実装したモジュールを形成し、これらモジュール同士を互いにハンダバンプにより電気的接続を図って積層する構造のものが一般的である。また、インターポーザを用いない構成例として特許第2871636号公報に開示しているものがある。これはチップを絶縁樹脂を介在させて積層し、この積層体の電極部分にレーザ照射により開孔を形成し、導電性樹脂で孔を埋め込み、最下層のチップ部分でハンダバンプによりプリント基板に実装するような構造としている。

**【0004】**

【発明が解決しようとする課題】ところが、前者のインターポーザを用いた積層構造のマルチチップパッケージでは積層厚さが厚くなってしまい、薄型パッケージとすることができない。また、後者のようにチップを直接接合するタイプでは、各層のチップ電極相互を接続するのに導電性樹脂をスルーホールに注入する構成となっているが、層間でチップ電極と導電性樹脂との電気的接続を確実にすることは困難で、特に数十 $\mu\text{m}$ の間に導電性樹脂が的確に充填されずに接続不良を発生するおそれが

あった。しかも、この後者のパッケージでは、開孔部分に導電性樹脂を孔に埋め込む方法の開示がない。

【0005】本発明は、上記従来の問題点に着目してなされたもので、積層される半導体チップの電極と層間接続をなすスルーホールに設定される導通手段との電気的接続を確実に実現できるとともに、積層してマルチチップ化する場合の接合作業を効率よく実現できるようにした半導体チップ、ならびにこれを利用したマルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法を提供することを目的とする。また、マルチチップパッケージをマザーボードに実装する場合の配線距離を短くすることができ、これにより電気的特性が良好な半導体装置や電子機器を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明に係るマルチチップパッケージは、積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成前記メタライズ層と導通された柱状導電シャフトを埋め込んでなることを特徴としている。

【0007】また、本発明に係る半導体装置は、積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成され前記メタライズ層と導通された柱状導電シャフトを埋め込んでなるマルチチップパッケージを備え、このマルチチップパッケージを前記半導体チップにおける電極パッドと同一の配列パターンにて形成された外部電極を有するマザーボードに実装してなることを特徴とするものである。

【0008】更に、本発明に係る電子機器は、上述のマルチチップパッケージまたは半導体装置を備えた構成としている。

【0009】本発明に係るマルチチップパッケージの製造方法は、信号入出力用の電極パッドを有する半導体チップに前記電極パッド部分にてチップを貫通するスルーホールを形成した後、このスルーホールの開口部に前記電極パッドと導通されるメタライズ層を延設形成した後、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを前記スルーホールが一直線上に配列するように複数枚積層し、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成することを特徴とする。

【0010】この場合において、前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板に異方性エッチングを施すことにより断面V字状の開口を形成し、基板裏面をラッピングすることにより形成すればよく、あるいは、前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板表裏面に形成することにより連通形成するように構成することができる。

【0011】更に本発明に係るマルチチップパッケージの製造方法としては、信号入出力用の電極パッドを有する半導体チップに対し、前記電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板表裏面に形成することにより連通形成されたスルーホールを形成した後、当該スルーホールの電極パッド側開口部に前記電極パッドと導通されるメタライズ層を延設形成し、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを複数積層するとともに、前記ハンダボールにより前記スルーホールが一直線上に配列するようにセルフアライメントを行わせ、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成するようにしてもよい。

【0012】

【発明の実施の形態】以下に、本発明に係るマルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法の具体的実施の形態を図面を参照して詳細に説明する。

【0013】図1は実施形態に係る半導体マルチチップパッケージ10を実装した半導体装置12の模式図である。半導体マルチチップパッケージ10を構成する半導体チップ14は複数枚（図示の例では4枚）を積層一体化して構成される。各チップ14はメモリ素子として構成した場合、電源ライン、データライン、アドレスラインの各電極あるいはライトイネーブルなどの制御端子を共通にすることができる。したがって、これらのチップ電極はチップ平面上において共通配置することができるので、チップ14を積層することで垂直方向に共通の電極が同一の縁直線上に配置され、上下間のチップ電極の導通を図ることで、実装密度をチップ積層枚数分まで増大することができる。

【0014】この実施形態に係るマルチチップパッケージ10は、積層された半導体チップ14に共通する電極パッド16部分を貫通し一直線上に配列されたスルーホール18を有し、各チップ14のスルーホール18の開口部分に設けられ前記電極パッド16と導通されるメタライズ層20を有し、一直線上に配列されたスルーホール18内には溶解ハンダにより形成前記メタライズ層2

0と導通された柱状導電シャフト22を埋め込んだ構造とされている。

【0015】このようなマルチチップパッケージ10は、メモリ素子として用いられる半導体チップ14を積層一体化して形成されるが、予め半導体チップ14の電極パッド16部分にスルーホール18を形成し、スルーホール18の開口に電極パッド16と導通するメタライズ層20を形成した上で積層するようにしている。この具体的な製造工程を図3を参照して説明する。

【0016】半導体チップ14は、トランジスタ、抵抗素子、配線などの各種素子が形成されている結晶面方位が(100)面のシリコン単結晶基板24の表面に層間分離用の酸化シリコン膜26Aを介してアルミニウムからなる電極パッド16が形成されている。更に最上表面には保護用の酸化シリコン膜26Bが電極パッド16の外表面部のみを臨ませるように形成されている。電極パッド16は中央部分を矩形に開孔したもので、このくり貫き開口部分から層間分離用の酸化膜26Aが臨まれている。このような半導体チップ14に対し、まず、電極パッド16の中央部から臨む酸化シリコン膜26Aを開孔させ、単結晶シリコン基板24を露出させる(図3(1))。そして、この開口窓28部分を通じて異方性エッチング(TMAH)を行なうようにしている。この異方性エッチングにより、(100)面と54.74度をなす(111)面で囲まれた断面V字形で全体的には逆ピラミッド状のくぼみ30が形成される(図3

(2))。このくぼみ30の深さは(111)面が互いに交わる終端部まで進行させることができ、前記窓28の開口幅Wを調整することで正確に制御することができる、実施形態ではくぼみ30の底部幅Bが50~100μm程度になるまでエッチングを進行させるようにしている。

【0017】このような異方性エッチングを行なった後、半導体チップ14の裏面側のラッピングを行なってくぼみ30の底を開孔させることによりチップ14の表裏面に貫通するスルーホール18を形成している(図3(3))。次いで、スルーホール18の内面およびチップ裏面を含む前面に絶縁用シリコン膜32を形成する(図3(4))。これによってスルーホール18やチップ裏面に露出している単結晶シリコンとの間の絶縁が確保される。絶縁用シリコン膜32は外部素子との間で信号の入出力をする電極パッド16の表面にも形成されるので、このパッド部分の酸化シリコン膜32の開孔を行なわせる(図3(5))。信号入出力の経路を確保するためである。

【0018】このようにしてスルーホール18が形成され、当該スルーホール18の形成によって露出状態となるシリコン面上に絶縁酸化シリコン膜32を形成した後は、前記チップ電極パッド16と導通されるメタライズ層20をスルーホール18の傾斜面まで延長形成するよ

うにしている。このメタライズ処理は導電性金属材料のスパッタにより行なうようにしている。実施形態ではCr/Auスパッタによるメタライズ層20を形成した後、パターニングを行なって、図2に示すように、逆ピラミッド状のくぼみ30の相対向する傾斜面に延設させている(図3(6))。

【0019】次に、上述のように異方性エッチングとバックラッピングによりスルーホール18を形成し、当該スルーホール18の開口面に延設されたメタライズ層20を形成してなる半導体チップ14の積層化処理が行なわれる。これは、各半導体チップ14のスルーホール18が断面V字状に開口されているので、ここにハンダボール34を搭載しておき、このハンダボール34搭載のチップ14を必要枚数だけ重ね合わせるとともに、チップ間で共通する電極パッド16が一直線上に配列するようにアライメントして積層配置するのである(図3(7))。このとき積層される半導体チップ14間にポリイミドなどの接着層を介在させてもよい。この場合には電極パッド16部分を開口させた構成としておけばよい。

【0020】このようにハンダボール34を介在させたチップ積層体14Mは図示しないリフロー炉に供給され、ハンダボール34を一括して溶解させることにより、図1に示すように、一直線上に配列したスルーホール18内に溶解ハンダを封入して各電極パッド16を導通する柱状導電シャフト22を形成するのである。このとき、最下層の半導体チップ14のスルーホール出口部分に柱状導電シャフト22の先端部を突出させ、これが外部接続端子36となるようにチップ積層体14Mの下面部分に型枠を配置しておけばよい。ハンダボール34は各半導体チップ14のスルーホール18の内容積を埋め込み可能な体積量を有するものを用いればよく、このため、リフロー炉に供給されるチップ積層体14Mの積層高さが、溶解ハンダの固化後のマルチチップパッケージ10とされた場合の積層高さより高くなる場合があるが、これはチップ積層体14Mを挟着保持する治具を用いてリフロー炉に供給すればよい。

【0021】このようにして得られたマルチチップパッケージ10は、個々の半導体チップ14における共通する電極パッド16同士がメタライズ層20を通じて柱状導電シャフト22と導通状態となっており、当該柱状導電シャフト22の最下端に突出形成された部分は、パッケージとしての外部接続端子36として利用することができる。したがって、図1に示しているように、マザーボード38に半導体チップ14の電極パッド16と同様に外部電極パッド40を配列しておき、この外部電極パッド40に搭載されたハンダボール42に上記外部接続端子36を溶着することで、マルチチップパッケージ10をマザーボード38にフェイスダウン方式で実装することができる。このようにすることで、マルチチップパ

ッページ10とマザーボード38の配線距離を最短に設定することができるのである。

【0022】次に、図4には第2の実施形態に係るマルチチップパッケージの製造方法を示す工程図を示している。この実施形態は、半導体チップ14にスルーホール18を形成するのにバックラッピングを行わず、電極パッド16の中心開口部に臨まれたシリコン基板24部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板24の表裏面に形成することにより連通形成するようにした点異なる。

【0023】すなわち、第1の実施形態の場合と同様に、半導体チップ14は、トランジスタ、抵抗素子、配線などの各種素子が形成されている結晶面方位が(100)面のシリコン単結晶基板24の表面に層間分離用の酸化シリコン膜26Aを介してアルミニウムからなる電極パッド16が形成されている。更に最上表層には保護用の酸化シリコン膜26Bが電極パッド16の外表面部のみを臨ませるように形成されている。電極パッド16は中央部分を矩形に開孔したもので、このくり貫き開口部分から層間分離用の酸化膜26Aが臨ませている。このような半導体チップ14に対し、裏面側にも耐Siエッチング膜となる酸化シリコン膜27を形成しておく。そして、まず、電極パッド16の中央開口部分に臨む酸化シリコン膜26Aを開孔させ、またチップ裏面の酸化シリコン膜27をこの開口と対称となるように開口させ、単結晶シリコン基板24を露出させる(図4

(1))。そして、この開口窓28、29部分を通じて異方性エッチング(TMAH)を行なうようにしている。この異方性エッチングにより、(100)面と54.74度をなす(111)面で囲まれた断面V字形で全体的には逆ピラミッド状のくぼみ30がシリコン基板24の表裏面に形成される(図4(2))。前記窓28、29の開口幅Wを調整することで、シリコン基板24の厚み方向の中央部で上記くぼみ30同士が連通状態になる。これにより中央部が絞られたスルーホール18が形成される。中央の絞り部分の開口幅が50~100 $\mu\text{m}$ 程度になるように開口幅を設定すればよい。

【0024】このような異方性エッチングを行なった後、スルーホール18の内面およびチップ裏面を含む前面に絶縁用シリコン膜32を形成する(図4(3))。これによってスルーホール18に露出している単結晶シリコンとの間の絶縁が確保される。絶縁用シリコン膜32は外部素子との間で信号の入出力する電極パッド16の表面にも形成されるので、このパッド部分の酸化シリコン膜32の開口を行なわせる(図4(4))。信号入出力の経路を確保するためである。

【0025】このようにしてスルーホール18が形成され、当該スルーホール18の形成によって露出状態となるシリコン面上に絶縁酸化シリコン膜32を形成した後は、前記チップ電極パッド16と導通されるメタライズ

層20をスルーホール18の上部開口部分の傾斜面まで延長形成するようにしている。このメタライズ処理は第1実施形態と同様にCr/Auスパッタによりメタライズ層20を形成し、パターニングを行なっている(図4(5))。

【0026】次に、上記メタライズ層20が形成された半導体チップ14の積層化処理が行なわれる。これは、各半導体チップ14のスルーホール18の上部開口部分断面V字状に開口されているので、ここにハンダボール34を搭載しておき、このハンダボール34搭載のチップ14を必要枚数だけ重ね合わせるとともに、チップ間で共通する電極パッド16が一直線上に配列するようにアライメントして積層配置するのである(図4

(6))。このときハンダボール34は上層チップ14のスルーホール16における下部開口に嵌合する。これによって、積層される半導体チップ14同士のセルフアライメントが実現される。

【0027】このようにハンダボール34を介在させセルフアライメントされたチップ積層体14Mは図示しないリフロー炉に供給され、ハンダボール34を一括して溶解させることにより、図1に示した例と同様に、一直線上に配列したスルーホール18内に溶解ハンダが封入され、各電極パッド16を導通する柱状導電シャフト22が形成されるのである。最下層の半導体チップ14のスルーホール出口部分に柱状導電シャフト22の先端部を突出させ、これが外部接続端子36として用いるのは第1の実施形態と同様である。

【0028】この第2の実施形態によれば、マルチチップパッケージとしての厚さは第1の実施形態に比較しておよそ2倍となるが、ハンダボール34によるセルフアライメントが行われるので、製造処理が簡易化される利点がある。

【0029】また、図5には、本発明の実施の形態に係る半導体装置1100を実装した回路基板1000を示している。回路基板1000には、例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置1100の外部電極とを電気的に接続することでそれらの電気的導通が図られる。

【0030】なお、半導体装置1100は、実装面積をベアチップにて実装する面積にまで小さくすることができるので、この回路基板1000を電子機器に用いれば電気機器自体の小型化が図れる。また、同一面積内においては、より実装スペースを確保することができ、高機能化を図ることも可能である。

【0031】そして、この回路基板1000を備える電子機器として、図6にノート型パーソナルコンピュータ1200を示している。前記ノート型パーソナルコンピュータ1200は、高機能化を図った回路基板1000

を備えているため、性能を向上させることができる。

### 【0032】

【発明の効果】以上説明したように、本発明は、積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成前記メタライズ層と導通された柱状導電シャフトを埋め込んで形成するように構成したので、積層される半導体チップの電極と層間接続をなすスルーホールに設定される導通手段との電気的接続を確実に実現できるとともに、積層してマルチチップ化する場合の接合作業を効率よく実現できる効果が得られる。

### 【図面の簡単な説明】

【図1】実施形態に係るマルチチップパッケージを実装した半導体装置の要部断面図である。

【図2】実施形態に係るマルチチップパッケージのスルーホール部分の平面図である。

【図3】実施形態に係るマルチチップパッケージの製造工程の説明図である。

【図4】第2の実施形態に係るマルチチップパッケージの製造工程の説明図である。

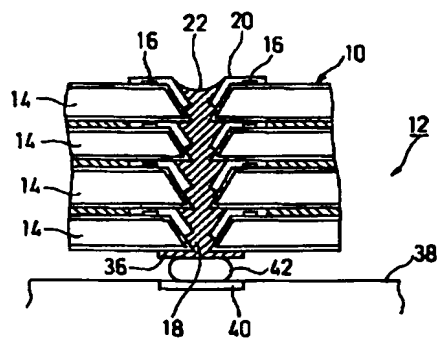
【図5】実施形態に係るマルチチップパッケージの回路基板への適用例の説明図である。

【図6】実施形態に係るマルチチップパッケージの電子機器への適用例の説明図である。

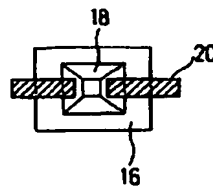
### 【符号の説明】

10	マルチチップパッケージ
12	半導体装置
14	半導体チップ
16	電極パッド
18	スルーホール
20	メタライズ層
22	柱状導電シャフト
24	単結晶シリコン基板
26 (26A、26B)	酸化シリコン膜
27	酸化シリコン膜
28、29	開口窓
30	くぼみ
32	絶縁用シリコン膜
34	ハンダボール
36	外部電極端子
38	マザーボード
40	外部電極パッド
42	ハンダボール

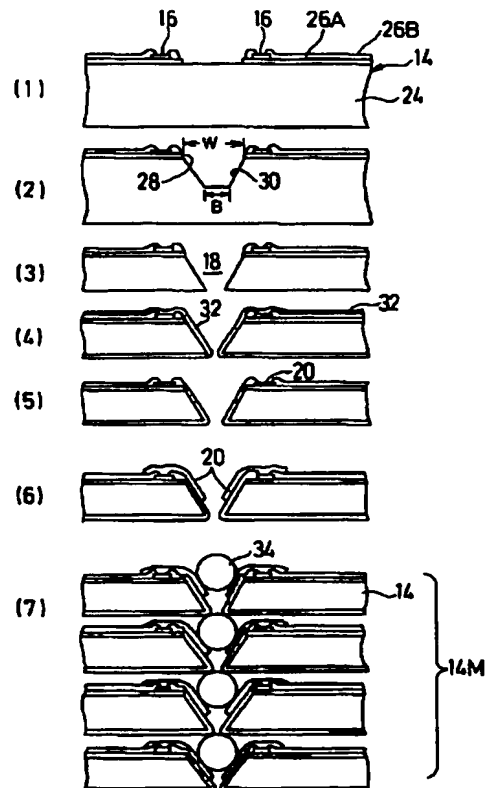
【図1】



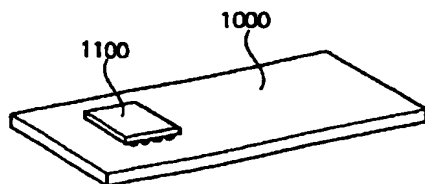
【図2】



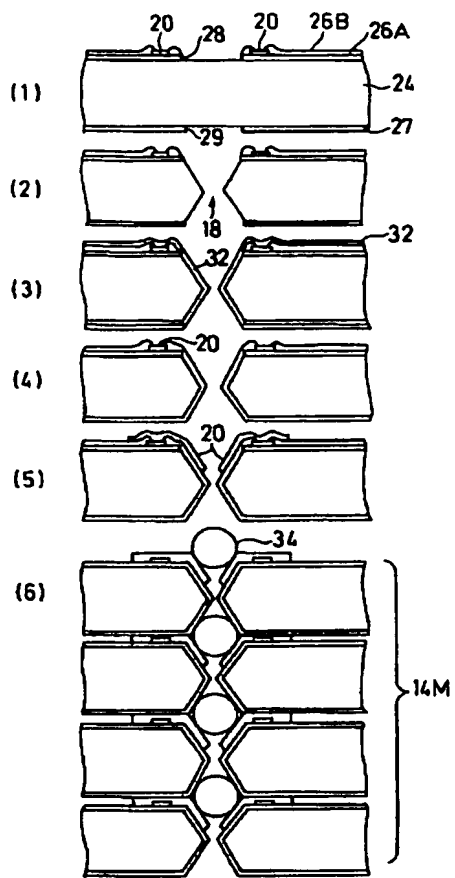
【図3】



【図5】



【図4】



【図6】

